

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): HORIYAMA, Takashi et al

Application No.:

Group:

Filed: May 2, 2001

Examiner:

For: DATA DRIVEN TYPE INFORMATION PROCESSING APPARATUS AND
METHOD OF CONTROLLING EXECUTION THEREOF

#2
J1036 U.S. PRO
09/046301
05/02/01

L E T T E R

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

May 2, 2001
0033-0720P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-149467	05/22/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 

TERRELL C. BIRCH

Reg. No. 19,382

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/tf

HORIYAMA, et al
5-2-01
BSKB
(703) 205-8000
0033-0720p
1 of 1

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

J1036 U.S. PTO
09/846301
05/02/01

出 願 年 月 日
Date of Application: 2000年 5月22日

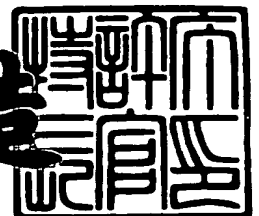
出 願 番 号
Application Number: 特願2000-149467

出 願 人
Applicant(s): シャープ株式会社

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3006824

【書類名】 特許願

【整理番号】 1000418

【提出日】 平成12年 5月22日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 堀山 貴史

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 畠山 耕一

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 村松 剛司

【特許出願人】

 【識別番号】 000005049

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【手数料の表示】

 【予納台帳番号】 008693

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ駆動型情報処理装置およびその実行制御方法

【特許請求の範囲】

【請求項 1】 少なくとも行先ノード番号と命令コードとデータとを含むデータパケットの入出力を制御するルータと、前記データパケットの転送および演算処理を制御する転送要求信号および転送許可信号を生成する自己同期型転送制御回路を有するデータ駆動型情報処理装置において、

前記ルータ内の自己同期型制御回路の転送レートをシステム内で使用している転送レートと異なるレートで使用することを特徴とする、データ駆動型情報処理装置の実行制御方法。

【請求項 2】 前記ルータ内の前記自己同期型転送制御回路の転送レートをシステム内で使用している転送レートの複数倍のレートで使用することを特徴とする、請求項 1 に記載のデータ駆動型情報処理装置の実行制御方法。

【請求項 3】 前記ルータ内の前記自己同期型転送制御回路の転送レートを、前記ルータに入力される転送レートの総和のレートで使用することを特徴とする、請求項 1 に記載のデータ駆動型情報処理装置の実行制御方法。

【請求項 4】 前記ルータ内の前記自己同期型転送制御回路の転送レートを、前記ルータから出力される転送レートの総和のレートで使用することを特徴とする、請求項 1 に記載のデータ駆動型情報処理装置の実行制御方法。

【請求項 5】 前記ルータ内の前記自己同期型転送制御回路の転送レートを、前記ルータから出力転送レートの総和と、前記ルータから出力される転送レートの総和の大きいほうのレートで使用することを特徴とする、請求項 1 に記載のデータ駆動型情報処理装置の実行制御方法。

【請求項 6】 少なくとも行先ノード番号と命令コードとデータとを含むデータパケットの入出力を制御するルータと、前記データパケットの転送および演算処理を制御する転送要求信号および転送許可信号を生成する自己同期型転送制御回路を有するデータ駆動型情報処理装置において、

前記ルータ内の自己同期型制御回路は、その転送レートをシステム内で使用している転送レートと異なるレートで使用することを特徴とする、データ駆動型情

報処理装置。

【請求項 7】 前記ルータは、前記自己同期型転送制御回路の転送レートをシステム内で使用している転送レートの複数倍のレートで使用することを特徴とする、請求項 6 に記載のデータ駆動型情報処理装置。

【請求項 8】 前記ルータは、前記自己同期型転送制御回路の転送レートを、前記ルータに入力される転送レートの総和のレートで使用することを特徴とする、請求項 6 に記載のデータ駆動型情報処理装置。

【請求項 9】 前記ルータは、前記自己同期型転送制御回路の転送レートを、前記ルータから出力される転送レートの総和のレートで使用することを特徴とする、請求項 6 に記載のデータ駆動型情報処理装置。

【請求項 10】 前記ルータは、前記自己同期型転送制御回路の転送レートを、前記ルータから出力転送レートの総和と、前記ルータから出力される転送レートの総和の大きいほうのレートで使用することを特徴とする、請求項 6 に記載のデータ駆動型情報処理装置。

【請求項 11】 さらに、前記ルータを複数個組み合わせたことを特徴とする、請求項 10 に記載のデータ駆動型情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はデータ駆動型情報処理装置およびその実行制御方法に関し、特に、通信のネットワーク上の中継装置であるルータ内の自己同期型転送制御回路の転送レートをデータ駆動型情報処理装置のレートとは異なるように構成されたデータ駆動型情報処理装置およびその実行制御方法に関する。

【0002】

【従来の技術】

データ駆動型情報処理装置（以下、データ駆動型プロセッサと称する）は、ある処理に必要な入力データがすべて揃いかつその処理に必要な演算装置などの資源が割当てられたときに処理が行なわれるという規則に従って処理が進行する。データ駆動型の情報処理動作を含むデータ処理装置には、非同期のハンドシェイ

ク方式を採用したデータ伝送装置が用いられる。このようなデータ伝送装置では、複数のデータ伝送路が接続され、それらのデータ伝送路がデータの転送要求信号（以下、SEND信号と称する）およびデータの転送を許可するか否かを示す転送許可信号（以下、ACK信号と称する）を互いに送受信しながら、自律的なデータ転送が行なわれる。

【0003】

図6は従来およびこの発明が適用されるデータパケットのフォーマットを示す図である。図6において、データパケットは行先ノード番号ND#を格納するための行先ノード番号領域F1と、世代番号GN#を格納するための世代番号領域F2と、命令コードOPCを格納するための命令コード領域F3およびデータDATAを格納するためのデータ領域F4を含む。ここで、世代番号とは、並列処理をしたいデータ群同士を区別するための番号である。行先ノード番号とは、同一世代内の入力データ同士を区別するための番号である。命令コードとは、命令デコーダに格納されている命令を実行するためのものである。

【0004】

図7はデータ伝送路の構成を示すブロック図である。データ伝送路は、自己同期型の転送制御回路（以下、C素子と称する）1aおよびDタイプフリップフロップからなるデータ保持回路（以下、パイプラインレジスタと称する）1bを含む。C素子1aはパルスを受けるパルス入力端子CIと、転送の許可または転送の禁止を示す転送許可信号を出力する転送許可出力端子ROと、パルスを出力するパルス出力端子COと、転送の許可または転送の禁止を示す転送許可信号を受ける転送許可入力端子RIと、パイプラインレジスタ1bのデータ保持動作を制御するクロックパルスを与えるためのパルス出力端子CPを有している。

【0005】

図8は図7に示したC素子の動作を説明するためのタイミングチャートである。C素子1aは端子CIから図8(a)に示すパルスを受取ると、端子RIに図8(e)に示すような入力の転送許可信号が許可状態であれば、端子COから図8(d)に示すパルスを出力するとともに、パイプラインレジスタ1bに図8(c)に示すパルスを出力する。パイプラインレジスタ1bはC素子1aから与え

られるパルスに応答して、与えられる入力パケットデータを保持し、またその保持したデータを出力パケットデータとして出力する。

【0006】

図9は図7に示したデータ伝送路を所定のロジック回路を介してシーケンスに接続した例を示すブロック図である。図9において、入力されるパケットデータは、パイプラインレジスタ3a→3b→3cと順に転送されていく間に、ロジック回路3d, 3eでシーケンスに処理される。たとえばパイプラインレジスタ3aがデータ保持状態である場合、後段のパイプラインレジスタ3bがデータ保持状態にあれば、パイプラインレジスタ3aからパイプラインレジスタ3bにデータは送られない。

【0007】

また、後段のパイプラインレジスタ3bがデータを保持していない状態であれば、もしくはデータを保持していない状態になれば、少なくとも予め設定された遅延時間をかけてデータがパイプラインレジスタ3aからロジック回路3dで処理されてパイプラインレジスタ3bに送られる。このように接続された隣のパイプラインレジスタとの間で送受信されるCIとCO端子で入出力されるSEND信号およびRI端子とRO端子で入出力されるACK信号に従って非同期に、そして少なくとも予め設定された遅延時間をかけてデータ伝送を行なうような制御を自己同期型転送制御と呼び、そのようなデータ転送を制御する回路を自己同期型転送制御回路と呼ぶ。

【0008】

図10は図7に示したC素子の具体的な回路図である。このC素子はたとえば特開平6-83731号公報に記載されたものである。図10において、パルス入力端子CIは前段部からのパルス状のSEND信号（転送要求信号）を受け、転送許可出力端子ROは前段部にACK信号（転送許可信号）を出力する。パルス出力端子COは後段部にパルス状のSEND信号を出力し、転送許可入力端子RIは後段部からACK信号を受ける。

【0009】

マスタリセット入力端子MRはマスタリセット信号を受ける。マスタリセット

入力端子MRに「H」レベルのパルスが与えられると、インバータ4 eで反転され、フリップフロップ4 a, 4 bがリセットされてC素子が初期化される。そして、パルス出力端子CO, 転送許可出力端子ROはともに初期状態として「H」レベル信号を出力する。転送許可出力端子ROの出力が「H」レベルであることは転送許可状態を示し、逆に「L」レベルであることは転送禁止状態を示している。また、パルス出力端子COの出力が「H」レベルであることは、後段にデータ転送を要求していない状態を示し、逆に「L」レベルであることは後段にデータ転送を要求しているまたはデータを転送している状態を示している。

【0 0 1 0】

パルス入力端子CIに「L」レベルの信号が入力されると、すなわち前段からデータ転送が要求されると、フリップフロップ4 aはセットされ、その出力Qに「H」レベル信号を出力する。この「H」レベル信号はインバータ4 dで反転されて転送許可入力端子ROからは「L」レベル信号が出力され、さらなるデータ転送を禁止する。一定時間後、パルス入力端子CIに「H」レベルの信号が入力され、前段部から当該C素子へのデータのセットが終了する。この状態でかつ転送許可入力端子RIから「H」レベル信号が入力されている、すなわち後段部からデータ転送を許可されている状態で、かつパルス出力端子COが「H」レベル信号を出力している、すなわち後段部へデータ転送している途中でない状態（データ転送を後段に要求していない状態）であれば、NANDゲート4 cはアクティブとなり、「L」レベル信号を出力する。

【0 0 1 1】

その結果、フリップフロップ4 bはセットされ、フリップフロップ4 bはパイプラインレジスタへのパルス出力端子CPから遅延素子4 gを介して「H」レベル信号を出力するとともに、パルス出力端子COから遅延素子4 fを介して後段部のC素子へ「L」レベルのSEND信号を出力する。すなわち、後段部へデータ転送を要求する。「L」レベルのSEND信号を受けた後段のC素子は、そのC素子に対してさらなるデータ転送が行なわれないように転送禁止を示すACK信号を「L」レベルにしてRO端子から出力する。該C素子は転送許可入力端子RIからの「L」レベルのACK信号を入力し、この信号によりフリップフロップ

ブ 4 b がリセットされる。その結果、パイプラインレジスタへのパルス出力端子 C P から遅延素子 4 g を介して「L」レベル信号が出力され、また後段部へのパルス出力端子 C O から遅延素子 4 f を介して「H」レベルの S E N D 信号が出力され、データ転送を終了する。

【 0 0 1 2 】

図 1 1 は図 9 に示したデータ転送路を含んで構成された従来のデータ駆動型情報処理装置の概略ブロック図である。図 1 1 において、データ駆動型情報処理装置 P e は、合流部 J N C と、発火制御部 F C と、演算部 F P と、プログラム記憶部 P S と、分岐部 B R N と、複数のパイプラインレジスタ 3 a ~ 3 c と、複数の C 素子 2 a ~ 2 c を含む。各 C 素子 2 a ~ 2 c は前段および後段の C 素子とのパケット転送パルス（C I, C O, R I, R O の信号）のやり取りによって対応する処理部（F C, F P, P S）についてのパケット転送を制御する。各パイプラインレジスタ 3 a ~ 3 c は対応の C 素子 2 a ~ 2 c からのパルス入力に応じて、前段の処理部より入力されているデータを取込んで保持し、出力段に導出し、次のパルスまでこれを保持する。

【 0 0 1 3 】

図 1 1 において、プロセッサ P e に図 6 に示したデータパケットが入力されると、入力パケットはまず合流部 J N C を通り、発火制御部 F C に伝達され、行先ノード番号 N D # と世代番号 G N # とに基づいて同一のパケットの間で対データが形成される。すなわち、ノード番号 N D # と世代番号 G N # が一致する異なる 2 つのデータパケットの検出を行ない、両番号が一致する 2 つのうち一方のデータパケットのデータを他方のデータパケットのデータ領域 F 4（図 6）に追加格納し、この他方のデータパケットを出力する。

【 0 0 1 4 】

データ領域 F 4 に対データ（1 組のデータ）を格納したパケットは次に演算部 F P に伝達される。演算部 F P は伝達されたデータパケットを入力し、その入力パケットの命令コード O P C に基づいて該入力パケットの内容に対して所定の演算を行ない、演算結果を該入力パケットのデータ領域 F 4 に格納する。該入力パケットは次にプログラム記憶部 P S に伝達される。

【 0 0 1 5 】

プログラム記憶部 P S は伝達されたデータパケットを入力し、その入力パケットの行先ノード番号 N D # に基づいて、プログラム記憶部 P S 内のプログラムメモリからパケットが次に行くべきノード情報（ノード番号 N D #）と次に実行すべき命令情報（命令コード O P C）とコピーフラグ C P Y を読出す。そして、読出された行先ノード番号 N D # および命令コード O P C が該入力パケットの行先ノード番号領域 F 1 および命令コード領域 F 3 にそれぞれ格納される。

【 0 0 1 6 】

プログラム記憶部 P S から出力されたパケットは、その行先ノード番号 N D # に基づいてプロセッサ P E から出力されるか、または図示しないルータを介して再度プロセッサ P E 内部に戻される。ルータは上述したデータ駆動型プロセッサ P E 間でのデータパケットの交換やデータ駆動型プロセッサ P E へのデータパケットの入力制御および出力制御などに使われている。

【 0 0 1 7 】

図 1 2 はルータの一使用例を示すブロック図である。図 1 2 において、図 1 1 に示したデータ駆動型プロセッサ P E がルータ 5 を介して複数個接続された構成となっている。たとえば、どのデータ駆動型プロセッサでも処理を行なわない場合、入力されたデータはルータ 5 を通ってそのまま出力される。たとえば、プロセッサ P E 1 → P E 1 → P E 3 → P E 2 の順に処理される場合、入力されたデータがルータ 5 → 5 a を介してプロセッサ P E 1 に入力され、プロセッサ P E 1 で処理されたデータが 5 b → ルータ 5 を通って再度 5 a を通りプロセッサ P E 1 に入力され、プロセッサ P E 1 で処理されたデータが 5 b → ルータ 5 → 5 f を通ってプロセッサ P E 3 に入力され、プロセッサ P E 3 で処理されたデータが 5 e → ルータ 5 → 5 c を介してプロセッサ P E 2 に入力され、プロセッサ P E 2 で処理されたデータが 5 d → ルータ 5 を通って出力される。

【 0 0 1 8 】

図 1 3 は従来のデータ駆動型プロセッサで用いられている 2 × 2 のルータのブロック図である。図 1 3 において、ルータは 2 つの分岐部 6 a, 6 b と 2 つの合流部 6 c, 6 d から構成される 2 入力, 2 出力のルータである。このルータでは

、データパケットのスイッチングが行なわれ、 2×2 ルータはIN 1に入力されたデータパケットがOUT 1またはOUT 2から出力され、IN 2に入力されたデータパケットがOUT 1またはOUT 2から出力される計4通りの経路がある。またこのルータに限らず、この発明で述べるルータでは、同時に入力された2つ以上の入力がすべて同じ出力から同時に出力されることは保証していない。すなわち、図13に示した場合、IN 1とIN 2に同時に入力されたデータパケットはいずれもOUT 1から出力される、あるいはいずれもOUT 2から出力されるような事象は保証していない。

【0019】

図13において、たとえばIN 1から入力されたデータパケットがOUT 2へ、IN 2から入力されたデータパケットがOUT 1へルーティングされる場合、IN 1から入力されたデータパケットは、分岐部6aから経路6eを通り合流部6dに転送され、OUT 2から出力される。また、IN 2から入力されたデータパケットは、分岐部6bから経路6fを通り合流部6cに転送され、OUT 1から出力される。

【0020】

図14は図13に示した分岐部の一例を示す回路図であり、図15は図2に示した分岐部の一例を示す回路図である。

【0021】

図14において分岐部は1入力、2出力で構成されており、この分岐部に入力されたデータパケットを2出力のどちらか一方に分岐させる。後段には図13に示したように2つの合流部6cと6dとが接続されており、合流部6cとはCO aとRI aで、合流部6dとはCO bとRI bで図16に示すように合流を制御する制御回路のJCTL回路8を介してハンドシェイクが行なわれる。合流部6cへデータパケットを転送するか、あるいは合流部6dに転送するかは、分岐許可信号BEにより切換えられる。後述の図16で説明するように合流部にもC素子は含まれている。

【0022】

図14に示す分岐部において、分岐許可信号BEによってハンドシェイクする

相手のC素子（図13に示した後段の合流部6c, 6dにあるC素子）のうちから1つを選択する、すなわち分岐部に入力されたデータパケットの分岐先が決定される。分岐許可信号BEが「L」レベルのときは、NANDゲート7cがアクティブとなり、C素子7aのパルス出力端子COの出力は合流部6c側の端子CIaに出力され、パイプラインレジスタ7bのデータパケットは後段の合流部6c側のパイプラインレジスタへ出力される。逆に、分岐信号BEが「H」レベルのときは、NANDゲート7dがアクティブとなり、C素子7aのパルス出力端子COの出力は合流部6d側の端子CIbへ出力され、パイプラインレジスタ7bのデータパケットは後段の合流部6d側のパイプラインレジスタへ出力される。後段の2つのC素子からの転送許可信号RIa, RIbは、ANDゲート7eに入力され、その出力がC素子7aのRIに入力される。

【0023】

図15はルータを構成するために使用される1入力、4出力の分岐部の一例を示す回路図である。図15において、この分岐部は、分岐許可信号BEaとBEbとによってデータパケットの分岐先が決定される。すなわち、分岐許可信号BEa, BEbがいずれも「L」レベルのときは、NANDゲート7fがアクティブとなり、C素子7aのパルス出力端子COの出力はCOaから出力され、パイプラインレジスタ7bのデータパケットは後段の合流部6cのCOa, RIa側のパイプラインレジスタへ出力される。同様にして、分岐許可信号BEaが「H」レベルであり、分岐許可信号BEbが「L」レベルのときは、後段の合流部のCObに出力され、分岐許可信号BEaが「L」レベルであり、分岐許可信号BEbが「H」レベルのときは後段の合流部のCOcに出力され、分岐許可信号BEa, BEbがいずれも「H」レベルのときは後段のCOdにC素子7aのCO出力が出力され、先の説明と同様にして、合流部の1つにデータパケットが転送される。

【0024】

後段の4つのC素子からの分岐許可信号RIa, RIb, RIc, RIDはANDゲート7jに入力され、その出力がC素子7aのRIに入力される。

【0025】

図 1 6 は図 1 3 に示した合流部の一例を示す回路図である。この図 1 6 に示した合流部は 2 入力 1 出力で構成されており、2 つの入力が同時に起こったときに同時に出力しないように合流を制御する制御回路である J C T L 回路 8 を含む。この J C T L 回路 8 によってパイプラインレジスタ 8 a, 8 b のどちらか一方のデータパッケージが出力されるように制御される。すなわち、J C T L 回路 8 のパイプラインレジスタ 8 a へのパルス出力端子 C P a が「H」レベルのときは、セクタ 8 e のセレクト信号 A E B が「L」レベルとなり、パイプラインレジスタ 8 a のデータパッケージはセクタ 8 e からパイプラインレジスタ 8 d を介して出力される。また、合流を制御する J C T L 回路 8 のパイプラインレジスタ 8 b へのパルス出力端子 C P b が「H」レベルのときは、セクタ 8 e のセレクト信号 A E B が「H」レベルとなり、パイプラインレジスタ 8 b のデータパッケージがセクタ 8 e からパイプラインレジスタ 8 d を介して出力される。なお、パイプラインレジスタ 8 d の制御は C 素子 8 c によって行なわれる。

【0 0 2 6】

図 1 7 は図 1 6 に示した J C T L 回路の回路図である。図 1 7 において、J C T L 回路 8 は、C 素子 8 1 a, 8 1 b に対応するパイプラインレジスタ 8 a, 8 b へのパルス出力端子 C P a, C P b に出力されるパルスを制御する。すなわち、C 素子 8 1 a のパルス出力端子 C P a が「H」レベルのとき、フリップフロップ 8 1 c の出力 A E B、すなわち図 1 6 に示したセクタ 8 e のセレクト信号は「L」レベルとなる。また、C 素子 8 1 b のパルス出力端子 C P b が「H」レベルのとき、フリップフロップ 8 1 c の出力 A E B、すなわちセクタ 8 e のセレクト信号は「H」レベルとなる。

【0 0 2 7】

【発明が解決しようとする課題】

従来のルータの構造は、図 1 3 に示すように 2 × 2 の例のような構造で構成されている。しかし、画像処理などにおいて、接続されるデータ駆動型プロセッサが増え、処理数が増えるとともに処理が複雑化し、さらに処理速度が速くなると、多入力多出力のルータが求められる。これに対応した例として、図 1 8 に 4 × 4 のルータの一例を示す。図 1 8 において、ルータは 4 つの分岐部 9 a ~ 9 d と

、これらの分岐部からの出力を合流させる合流部 1 0 a ~ 1 0 h と、これらの合流部の出力をさらに合流させる合流部 1 0 i ~ 1 0 l とによって構成されており、図 1 3 に示した 2 × 2 のルータと比較して明らかに回路規模が増大している。そして、さらなる多入力多出力ルータになればなるほど、このルータ 5 の回路規模が爆発的に増大してしまう。このため、ルータの回路規模を縮小し、先の多入力多出力に適用したルータが必要となってきた。

【 0 0 2 8 】

図 1 9 はそのような回路規模を抑えた 2 × 2 ルータを示すブロック図である。図 1 9 に示すように、図 1 4 に示した分岐部の 1 つと図 1 6 に示した合流部の 1 つで構成し、合流部 1 1 a から分岐部 1 1 b への経路 1 1 c が 1 本に構成されている。この場合、経路が 1 本になる経路 1 1 c で最大転送レートで I N 1 , I N 2 から入力されたデータが合流する。経路 1 1 c の転送レートも同じ最大転送レートしかないため、最大転送レートで入力されたデータが合流しても処理し切れなくなる。結果的に、図 1 9 に示したルータ構成では、I N 1 , I N 2 の入力 2 つの転送レートの総和が最大転送レート以下になるような転送レートでしか入力できなくなる。

【 0 0 2 9 】

また、仮にこのような最大転送レート以下で入力しては、O U T 1 , O U T 2 からの出力の転送レートも最大転送レート以下となる。従来は、このような制約を受けずに最大転送レートのままルーティングできるようにするために、回路規模が大きくなってしまいが、図 1 4 に示した 2 × 2 の例のようなルータの構成をとらざるを得なかった。

【 0 0 3 0 】

しかし、今後は多入力多出力ルータに適した図 1 9 に示すような構成で、合流経路でも最大転送レートを維持できる、すなわちさらに高速でハンドシェイクを行なう高速転送ルータが必要となってくる。このために、図 1 4 に示した従来のルータ内の分岐部や、図 1 6 に示した合流部においてハンドシェイクを担っている C 素子の高速化が求められる。従来、この C 素子はデータ駆動型プロセッサ P E 内で使用される C 素子と同じ構成のものが使用されている。これは、先に示し

たように、これまでは 2×2 のルータで十分であったこと、またこのようなデータ駆動型情報処理装置ともなれば、設計はCADで行なうことから、C素子をマクロセル化、あるいはC素子を含む周辺回路をIPコア化して登録しておき、同一のマクロセルもしくはIPコアを利用した方が効率的であり、かつ信頼性もあったからである。

【0031】

このように、共通な構成のC素子を使用しているため、C素子の高速化を行なおうとすると、データ駆動型プロセッサ側で次のような問題が発生する。すなわち、C素子の転送レートを上げ過ぎると、図8に示したパイプラインの1段、すなわちパイプラインレジスタから後段のパイプラインレジスタまでの区間に処理できる処理量が減り、処理を細切れにしなければならなくなる。たとえば、パイプラインレジスタ3aとパイプラインレジスタ3bの間のロジック回路3dや、パイプラインレジスタ3bとパイプラインレジスタ3cの間のロジック回路3eの処理量を減らさなければならなくなる。結果的に、同じ処理量であってもパイプラインの段数が増えてしまい、その超過したパイプライン部だけ回路規模が大きくなってしまう。この問題を避けるために、データ駆動型プロセッサ内部では故意に高速のC素子を使っていなかった。

【0032】

それゆえに、この発明の主たる目的は、パイプライン1段当りの処理量を減らすことなく、ルータの回路規模の増大を抑え、ルータ部でC素子の転送レートを最大転送レートから下げないで転送し得るデータ駆動型情報処理装置の実行制御方法および装置を提供することである。

【0033】

【課題を解決するための手段】

この発明は、少なくとも行先ノード番号と世代番号と命令コードとデータを含んでなるデータパケットの入出力を制御するルータと、データパケットの転送および演算処理を制御する転送要求信号および転送許可信号を生成する自己同期型転送制御回路とを有するデータ駆動型情報処理装置において、ルータの自己同期型転送制御回路の転送レートをシステム内で使用している転送レートと異なるレ

ートで使用することを特徴とする。

【 0 0 3 4 】

従来のデータ駆動型情報処理装置内部ではC素子の速度をわざと遅くしていたが、ルータの場合パイプラインのように段間に演算器やメモリがない単なる経路であるため、転送レートをわざわざ落とす必要はなく、倍速、4倍速と何倍にでも可能なレートのC素子を使うことができる。すなわち、従来のルータにおいて、合流したときの転送レートが合流前の転送レートと同じであるため、合流部の入力を最大転送レート以下にしなければならなかったが、この発明では合流部分で転送レートを倍にすることによって、ルータの構成を線路1本にしても最大転送レートで合流部に入力することができ、最大転送レートで出力することができる。

【 0 0 3 5 】

他の発明は、少なくとも行先ノード番号と命令コードとデータとを含むデータパケットの入出力を制御するルータと、前記データパケットの転送および演算処理を制御する転送要求信号および転送許可信号を生成する自己同期型転送制御回路を有するデータ駆動型情報処理装置において、ルータ内の自己同期型制御回路は、その転送レートをシステム内で使用している転送レートと異なるレートで使用することを特徴とする。

【 0 0 3 6 】

好ましくは、ルータは、自己同期型転送制御回路の転送レートをシステム内で使用している転送レートの複数倍のレートで使用することを特徴とする。

【 0 0 3 7 】

さらに、好ましくは、ルータは、自己同期型転送制御回路の転送レートを、ルータに入力される転送レートの総和のレートで使用することを特徴とする。

【 0 0 3 8 】

より好ましくは、ルータは、自己同期型転送制御回路の転送レートを、ルータから出力される転送レートの総和のレートで使用することを特徴とする。

【 0 0 3 9 】

さらに、好ましくは、ルータは、自己同期型転送制御回路の転送レートを、ル

ータから出力転送レートの総和と、前記ルータから出力される転送レートの総和の大きい方のレートで使用することを特徴とする。

【0040】

さらに、より好ましくは、ルータを複数個組み合わせたことを特徴とする

【0041】

【発明の実施の形態】

図1はこの発明の一実施形態の 2×2 の倍速転送ルータを示すブロック図である。この図1に示した実施形態では、 2×2 ルータを、合流部分の転送レートをデータ駆動型プロセッサ内部の最大転送レートの2倍、すなわちルータ内のC素子の転送レートを倍速に実現したものである。このルータは、図14に示した分岐部の1つと、図16に示した合流部の1つとから構成される2入力、2出力のルータである。このルータは、 $2 \times 2 = 4$ 通りの経路がある。図1では、経路12cの転送レートをルータの入力レートや出力レートの2倍にしてある。すなわち、合流部12a内のC素子（図16に示したC素子10e）内部のSEND出力線上の遅延素子（図10に示した遅延素子4g）と分岐部12b内のC素子（図14に示すC素子7a）内部のSEND出力線上の遅延素子4gの遅延量を操作、たとえば遅延素子4f内のインバータの段数をデータ駆動型プロセッサ内で使われている他のC素子の遅延素子内のインバータの段数の半分にすることにより、合流部12a内のC素子と分岐部12b内のC素子の転送レートをデータ駆動型プロセッサの最大転送レートの2倍にすることができる。

【0042】

図1において、IN1、IN2から最大転送レートで合流部2aに入力されたデータは、最大転送レート同士で合流するが、経路12cの転送レートがルータの入力レートや出力レートの2倍であるため、転送レートが最大転送レートを下回ることなく経路12cを通り、分岐部12bに転送できる。分岐部12bで2つの入力データがOUT1、OUT2に分岐するが、分岐部12b内のC素子の転送レートは2倍であるため、それぞれが最大転送レートで出力できる。

【0043】

前述の図13に示した従来の 2×2 ルータと比較すると、この発明の一実施形

態では次の利点を得られる。

【0044】

- ① 合流部と分岐部がともに1つずつになり、回路規模が抑えられる。
- ② ルータ内の転送レートを2倍にすることにより、最大転送レートで転送レートを下げることなくルータに入力でき、ルータから出力できることになる。

【0045】

- ③ 遅延素子をインバータで構成することにより、これによる回路規模の増大もほとんどなく、簡単かつ容易に作製できる。

【0046】

図2はこの発明の他の実施形態における 4×4 の4倍速転送ルータのブロック図である。この実施形態のルータは $4 \times 4 = 16$ 通りの経路があり、従来例の図15に示した1入力4出力の分岐部と、図16に示した2入力1出力の合流部を3系統とから構成される4入力、4出力のルータである。そして、合流部13a、13b、合流部13cの転送区間と、合流部13cから分岐部13dへの転送区間に倍速転送を用いている。

【0047】

また、図2においては、経路13gの転送レートをルータの入力レートや出力レートの4倍にされている。すなわち、合流部13c内のC素子内部のSEND出力線上の遅延素子と分岐部13d内のC素子内部のSEND出力線上の遅延素子の遅延量を操作し、たとえば遅延素子内のインバータの段数をデータ駆動型プロセッサ内で使われているC素子の遅延素子内のインバータの段数の4分の1にし、合流部13c内のC素子と分岐部13d内のC素子間の転送レートはデータ駆動型プロセッサ内部の最大転送レートの4倍にされている。同様にして、合流部13a内のC素子と合流部13c内のJCTL回路内のC素子間の転送レート、および合流部13b内のC素子と合流部13c内のJCTL回路内のC素子間の転送レートはプロセッサ内の最大転送レートの2倍にされている。

【0048】

図2において、IN1、IN2から最大転送レートで合流部13aに入力されたデータは、最大転送レート同士で合流するが、倍速転送を用いているので問題

なく経路 1 3 e を通り、合流部 1 3 c に転送される。同様にして、IN 3, IN 4 から最大転送レートで合流部 1 3 b に入力されたデータは、経路 1 3 f を通り合流部 1 3 c に倍速転送される。これらの 4 つの入力データは、合流部 1 3 c で合流されるが、経路 1 3 g の転送レートはルータの入力レートや出力レートの 4 倍であるため、転送レートが最大転送レートを下回ることなく経路 1 3 g を通り、分岐部 1 3 d に転送できる。分岐部 1 3 d で 4 つの入力データが OUT 1, OUT 2, OUT 3 および OUT 4 に分岐されるが、分岐部 1 3 d 内の C 素子の転送レートは 4 倍であるため、それぞれが最大転送レートで出力できる。

【 0 0 4 9 】

図 3 はこの発明の第 3 の実施形態の 2×2 の倍速転送ルータで構成した 4×4 ルータを示すブロック図である。図 3 において、倍速転送ルータ 1 4 a, 1 4 b, 1 4 c, 1 4 d は図 1 に示した倍速転送ルータであり、倍速転送ルータ 1 4 a, 1 4 b から倍速転送ルータ 1 4 c, 1 4 d に転送する区間において倍速転送を用いている。このルータは、 $4 \times 4 = 16$ 通りの経路がある。図 3 では、経路 1 4 e, 1 4 f, 1 4 g, 1 4 h の転送レートをルータの入力レートや出力レートの 2 倍にしてある。

【 0 0 5 0 】

すなわち、倍速転送ルータ 1 4 a の分岐部内の C 素子と倍速転送ルータ 1 4 c の合流部内の J C T L 回路内の C 素子間の転送レートと、倍速転送ルータ 1 4 a の分岐部内の C 素子と倍速転送ルータ 1 4 d の合流部内の J C T L 回路内の C 素子間の転送レートと、倍速転送ルータ 1 4 b の分岐部内の C 素子と倍速転送ルータ 1 4 c 内の合流部内の J C T L 回路内の C 素子間の転送レートおよび倍速転送ルータ 1 4 b の分岐部内の C 素子と倍速転送ルータ 1 4 d の合流部内の J C T L 回路内の C 素子間の転送レートはデータ駆動型プロセッサ内部の最大転送レートの 2 倍にされている。

【 0 0 5 1 】

図 3 において、たとえば IN 1 から入力されたデータが OUT 2 へ、IN 2 から入力されたデータが OUT 1 へルーティングされる場合、IN 1, IN 2 から最大転送レートで入力されたデータが倍速転送ルータ 1 4 a を通り、どちらも経

路 1 4 e から出力される。従来では、ルータでは同時に入力された 2 つ以上の入力がすべて同じ出力から同時に出力されることを保証していないが、経路 1 4 e の転送レートも 2 倍であるので問題なく倍速転送ルータ 1 4 c に転送される。その後、OUT 2, OUT 1 からそれぞれ最大転送レートで出力される。

【0052】

従来例で説明した図 1 8 のルータは図 1 5 の 1 入力 4 出力の分岐部 4 つと、図 1 6 の合流部から構成されており、 $4 \times 4 = 16$ 経路と最大転送レートを保持するために、回路規模が莫大になったのに対して、この発明の各実施形態のルータと比較すると、ルータ内部でルータに入力される転送レートの総和、またはルータから出力される転送レートの総和に対応した転送レートを使用しているルータほど回路規模が抑えられることがわかる。すなわち、回路規模は図 2 に示した 4 倍速転送ルータ、図 3 に示した倍速転送ルータにより構成したルータ、図 1 8 に示した従来のルータ方式で構成したルータの順に小さいことがわかる。特に、図 1 8 の従来のルータ方式を使用した例では、その回路規模は他のルータよりもかなり大きくなっていることがわかる。

【0053】

図 4 はこの発明のさらに他の実施形態による $M \times N$ 倍速転送ルータのブロック図である。ここで、 M , N は 2 以上の自然数であり、 M と N の関係は同じ値でもどちらが大きくてもいいものとする。この図 4 に示したルータは、 M 入力、 N 出力であり、 M 入力、1 出力の合流部 1 5 a と 1 入力、 N 出力の分岐部 1 5 b とから構成される。合流部 1 5 a は $(M - 1)$ 個の 2 入力 1 出力の合流部から構成されている。このルータは、 $M \times N$ 本の経路を持つ。

【0054】

図 4 において、 M と N の関係が、 $(M > N)$ である場合、合流部 1 5 a と分岐部 1 5 b の間の経路 1 5 c の転送レートは、入力 $IN 1$ から $IN M$ までの転送レートの総和となる。たとえば、入力 $IN 1$ から $IN M$ までの転送レートがすべて同じであるならば、経路 1 5 c は M 倍速転送となる。また、 $(M < N)$ である場合、合流部 1 5 a と分岐部 1 5 b の間の経路 1 5 c の転送レートは、出力 $OUT 1$ から $OUT N$ までの転送レートの総和となる。たとえば、出力 $OUT 1$ から OUT

UTNまでの転送レートがすべて同じであるならば、経路15cはN倍速転送となる。また、($M=N$)の場合、合流部15aと分岐部15b間の経路15cの転送レートは、M倍速転送でもN倍速転送でも構わない。

【0055】

図5はこの発明の各実施形態に用いられるC素子の回路図である。この図5に示したC素子は前述の図10と同じであり、各実施形態に応じて遅延素子4fの段数が異なっている。

【0056】

後段のC素子から図5に示したC素子のRI端子に「H」レベル信号が入り、転送許可状態が示されると、このC素子はパイプラインレジスタの制御信号CPを「H」レベルにして、Dタイプフリップフロップで構成されているパイプラインレジスタに前段から出力されているデータ packets を後段に出力するとともに、このデータ packets を保持する。そして、パイプラインレジスタから後段に出力されたデータ packets は図10や図11に示したようにロジックや演算部で所定の処理が行なわれた後、後段のパイプラインレジスタに転送されて保持される。

【0057】

C素子の構成やパイプラインレジスタの構成は比較的簡単な構成であり、したがってこの部分での処理時間もしくは遅延時間は小さい。一方、ロジック部や演算部は回路構成が複雑となり、したがって処理時間もしくは遅延時間は先の処理時間もしくは遅延時間と比較して非常に大きなものとなる。パイプラインレジスタからデータの出力が完了し、このC素子のCP信号が「L」レベルとなった後、このロジック部や演算部を介して後段のパイプラインレジスタにデータが転送されるまでの間、このC素子は後段のC素子に対してCOを「L」レベル状態を維持し、転送要求を続ける必要がある。

【0058】

このために、C素子内には、遅延素子4fが設けられている。先に述べたように、ロジック部や演算部での処理時間もしくは遅延時間は、C素子やパイプラインレジスタでの処理時間もしくは遅延時間と比較して非常に大きいため、データ

駆動型プロセッサ内部で使用するC素子内の遅延素子4fをたとえばインバータ回路シリーズに接続して実現すると、10段～数10段の規模となっている。このため、この発明の各実施形態でのルータ内のC素子の遅延素子4fにおけるインバータ回路のシリーズ段数を、データ駆動型プロセッサ内部のC素子に対して、 $1/2$ 、 $1/4$ 、 $1/M$ または $1/N$ （MやNは自然数）にするのが容易である。

【0059】

また、図5に示した実施形態では、遅延素子4fをCO端子側に挿入した例で説明を行なったが、CI端子側に挿入しても所望の効果を得ることができる。ただし、この場合は初段の合流部内のC素子には適用せず、これ以外のルータ内のC素子に使用することになる。また、遅延素子はインバータ回路に限定されず、たとえば容量や抵抗成分による遅延やあるいはこれらの組合せで実現してもよい。

【0060】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0061】

【発明の効果】

以上のように、この発明によれば、ルータ内の自己同期型転送制御回路の転送レートをシステム内で使用している転送レートと異なるレートで使用するようになったので、従来のルータ方式に比べて、データ駆動型プロセッサ内の最大転送レートを保持しかつ従来の回路と比較して大幅に回路規模を抑えてルータを構成することができる。その結果、コストダウンを図ることができ、今後予想されるより処理数が増えかつ処理速度が速い動作に十分対応可能となる。しかも、この発明によるルータは簡単な回路構成で実現でき、ルータ部に関しては回路面積を縮小することができ、効率的に設計することができる。

【図面の簡単な説明】

【図 1】 この発明の一実施形態の 2×2 の倍速転送ルータを示すブロック図である。

【図 2】 この発明の他の実施形態における 4×4 の 4 倍速転送ルータを示すブロック図である。

【図 3】 この発明のさらに他の実施形態の 2×2 の倍速転送ルータで構成した 4×4 ルータを示すブロック図である。

【図 4】 この発明のさらに他の実施形態における $M \times N$ の倍速転送ルータを示すブロック図である。

【図 5】 この発明の各実施形態に用いられる C 素子の回路図である。

【図 6】 データパケットのフォーマットを示す図である。

【図 7】 データ駆動型プロセッサにおけるデータ伝送路を示す図である。

【図 8】 C 素子のタイミングチャートである。

【図 9】 データ駆動型プロセッサにおけるパイプラインを示すブロック図である。

【図 1 0】 C 素子の回路図である。

【図 1 1】 データ駆動型プロセッサのブロック図である。

【図 1 2】 従来のルータの一使用例を示す図である。

【図 1 3】 従来の 2×2 ルータを示すブロック図である。

【図 1 4】 ルータに用いられる 1 入力, 2 出力の分岐部の回路図である。

【図 1 5】 ルータに用いられる 1 入力, 4 出力の分岐部の回路図である。

【図 1 6】 ルータに用いられる 2 入力, 1 出力の合流部の回路図である。

【図 1 7】 図 1 6 に示した合流部の J C T L 回路の回路図である。

【図 1 8】 従来方式を用いた 4×4 ルータを示すブロック図である。

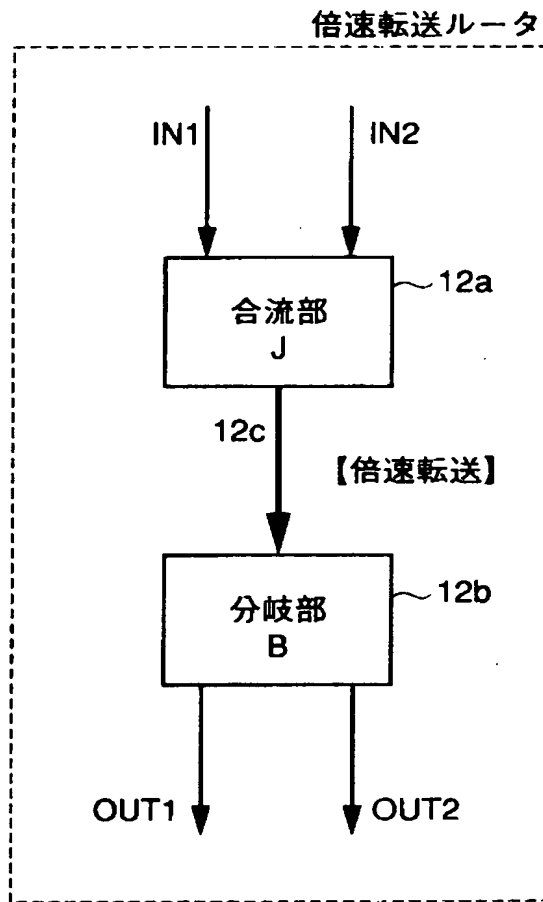
【図 1 9】 従来方式で回路規模を抑えた 2×2 ルータを示すブロック図である。

【符号の説明】

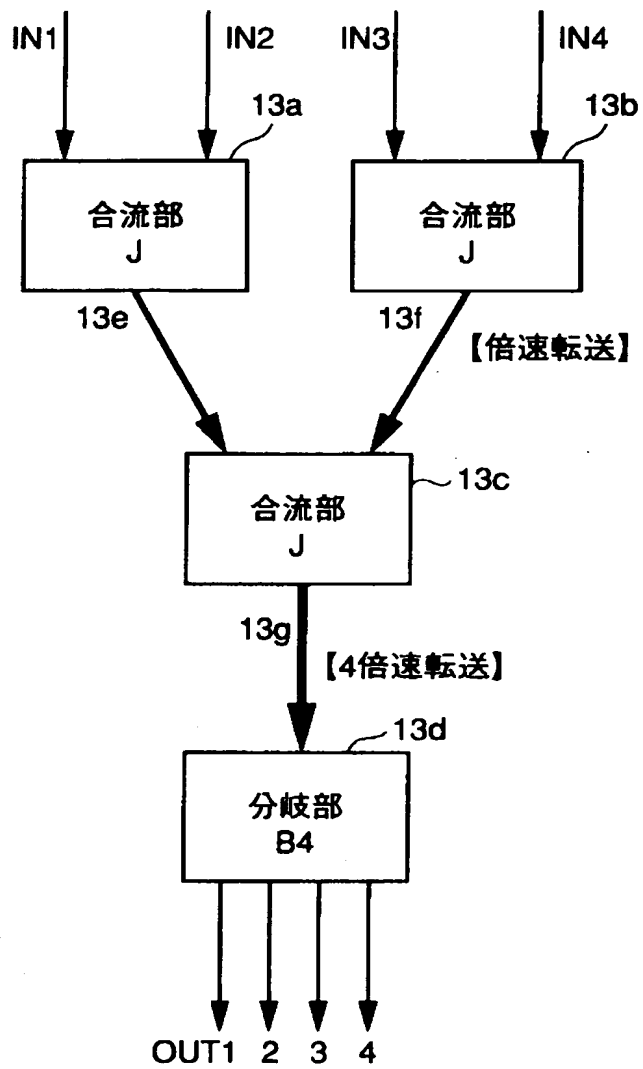
1 2 a, 1 3 a ~ 1 3 c, 1 5 a 合流部、1 2 b, 1 3 d, 1 5 b 分岐部、1 4 a ~ 1 4 d 倍速転送ルータ、4 a, 4 b フリップフロップ、4 c N AND ゲート、4 d, 4 e インバータ、4 g, 4 f 遅延素子。

【書類名】 図面

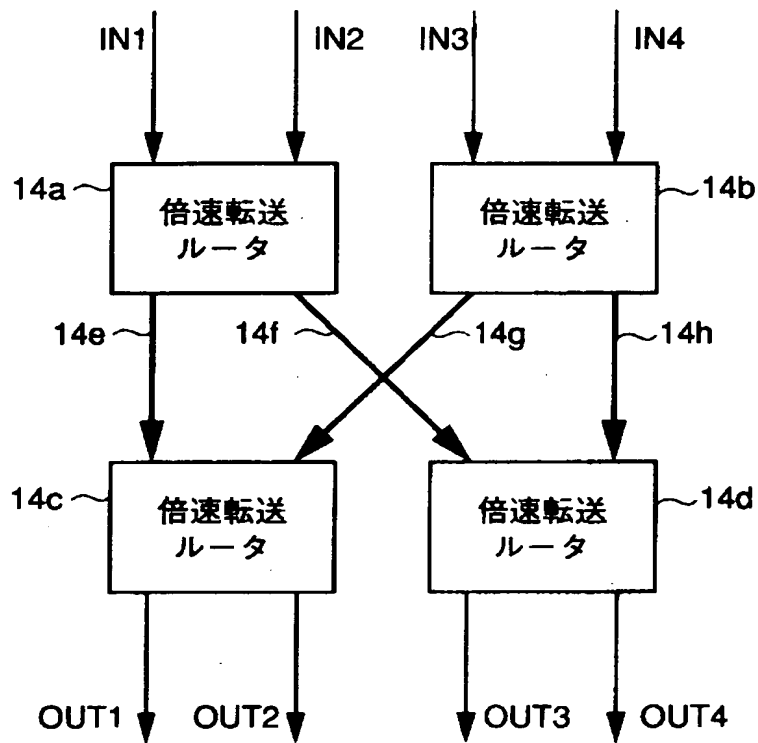
【図 1】



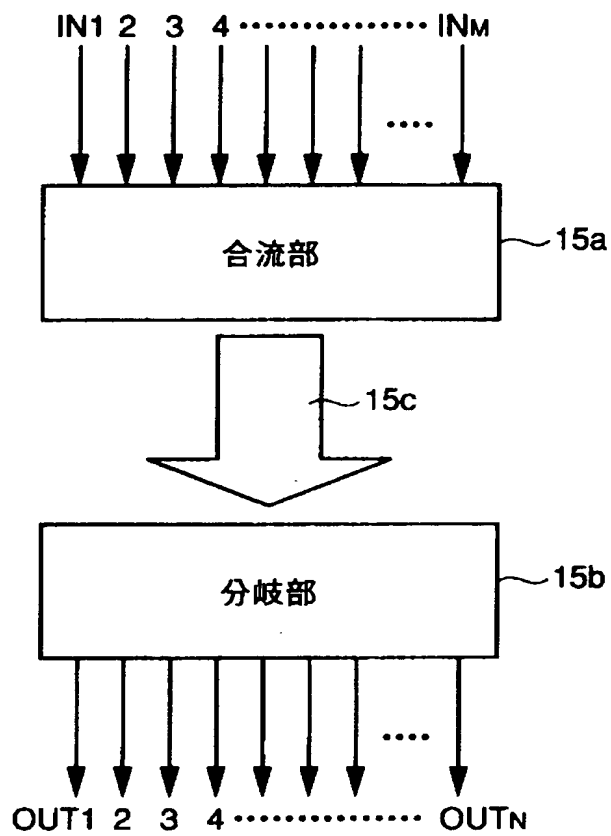
【図 2】



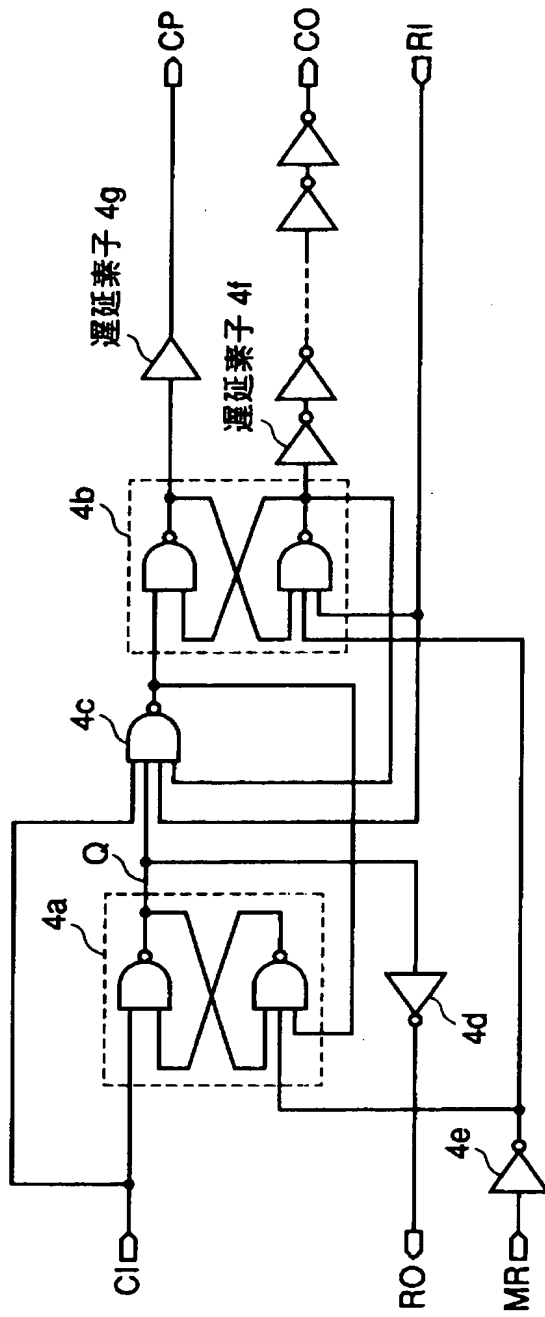
【図 3】



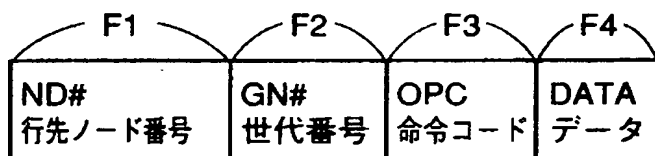
【図 4】



【図 5】

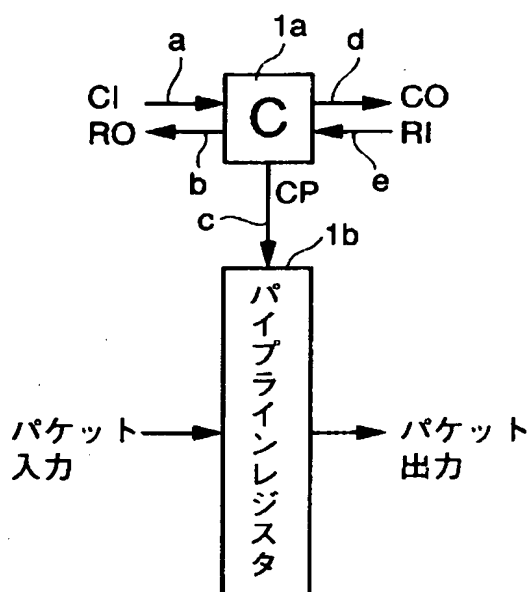


【図 6】

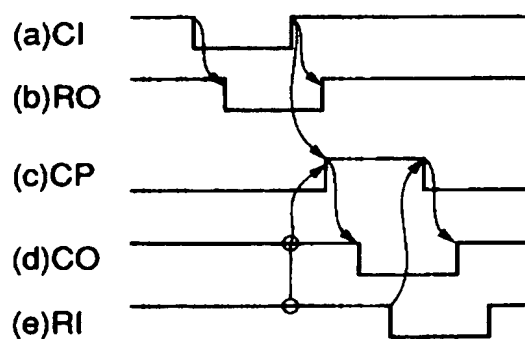


F1:行先ノード番号領域
F2:世代番号領域
F3:命令コード領域
F4:データ領域

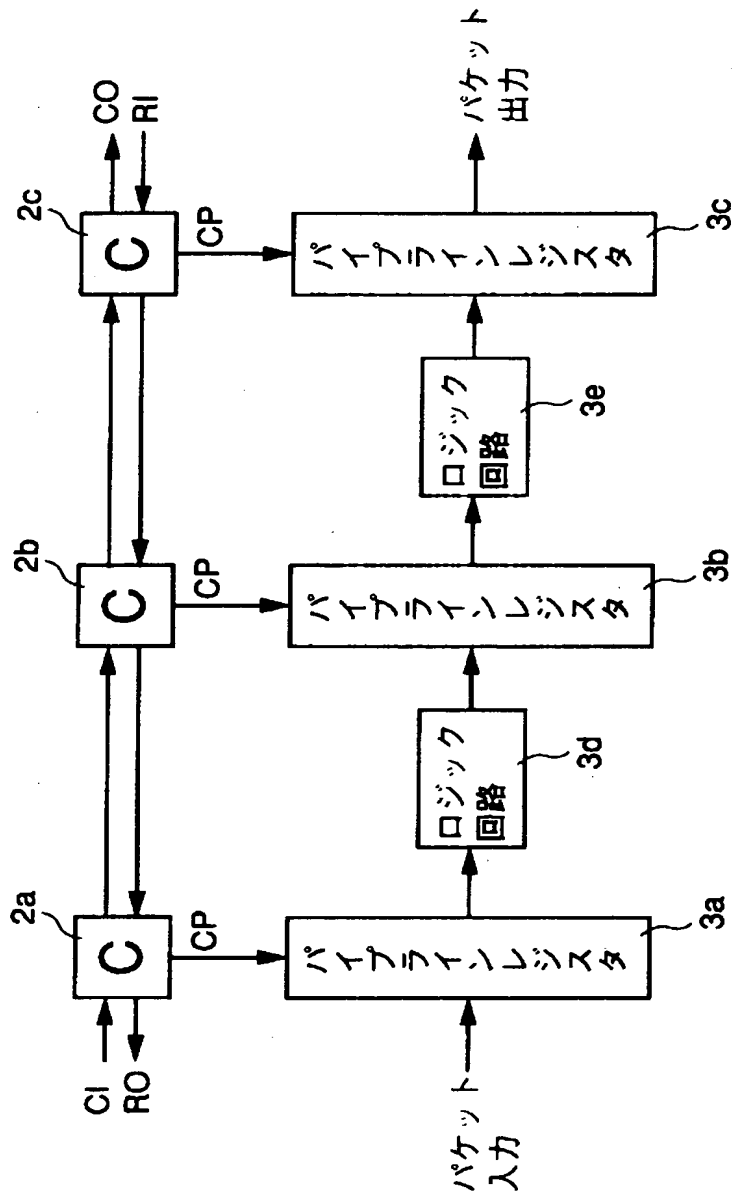
【図 7】



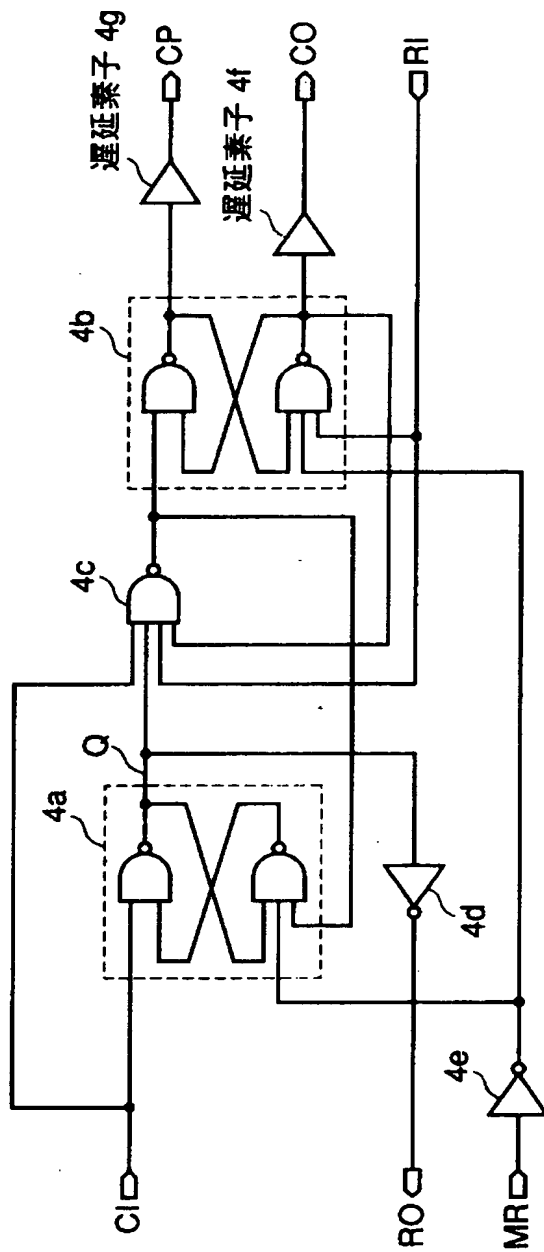
【図 8】



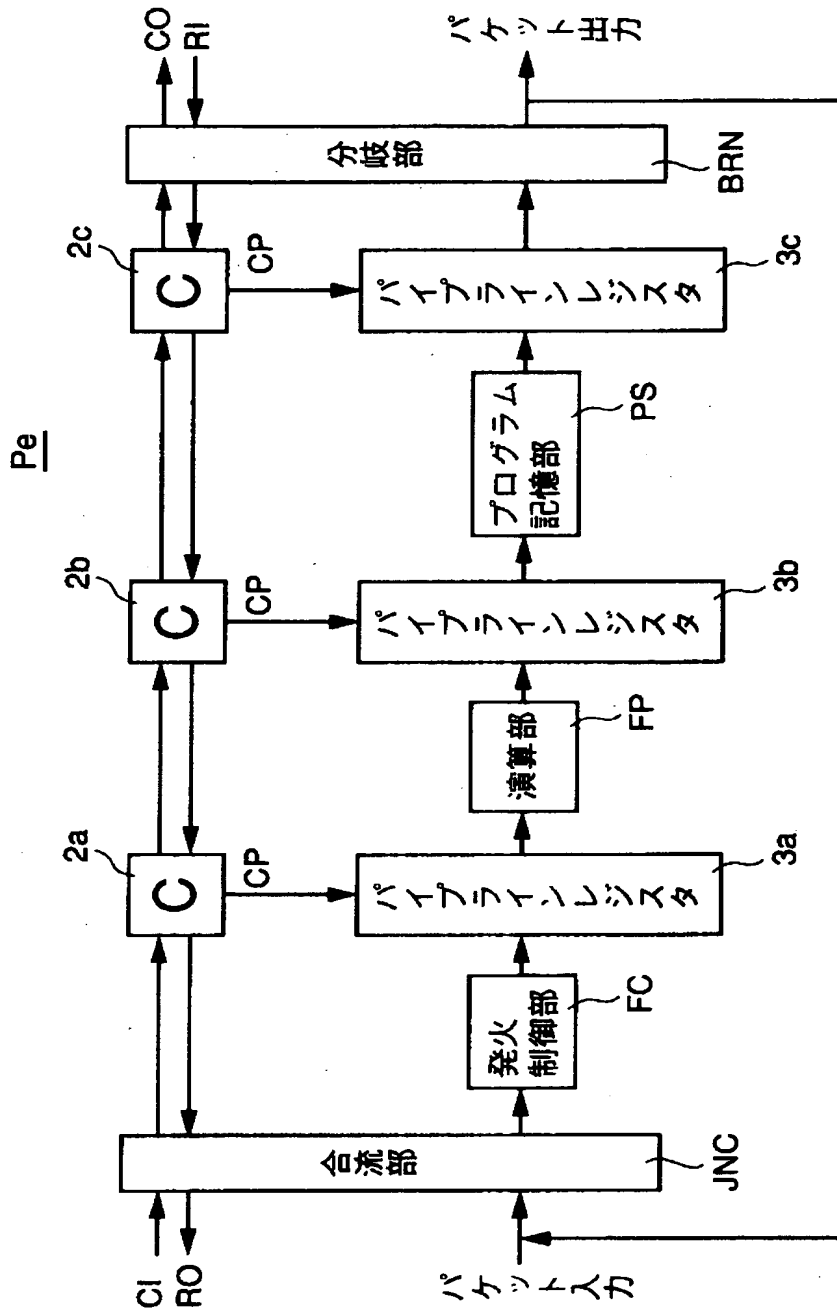
【図9】



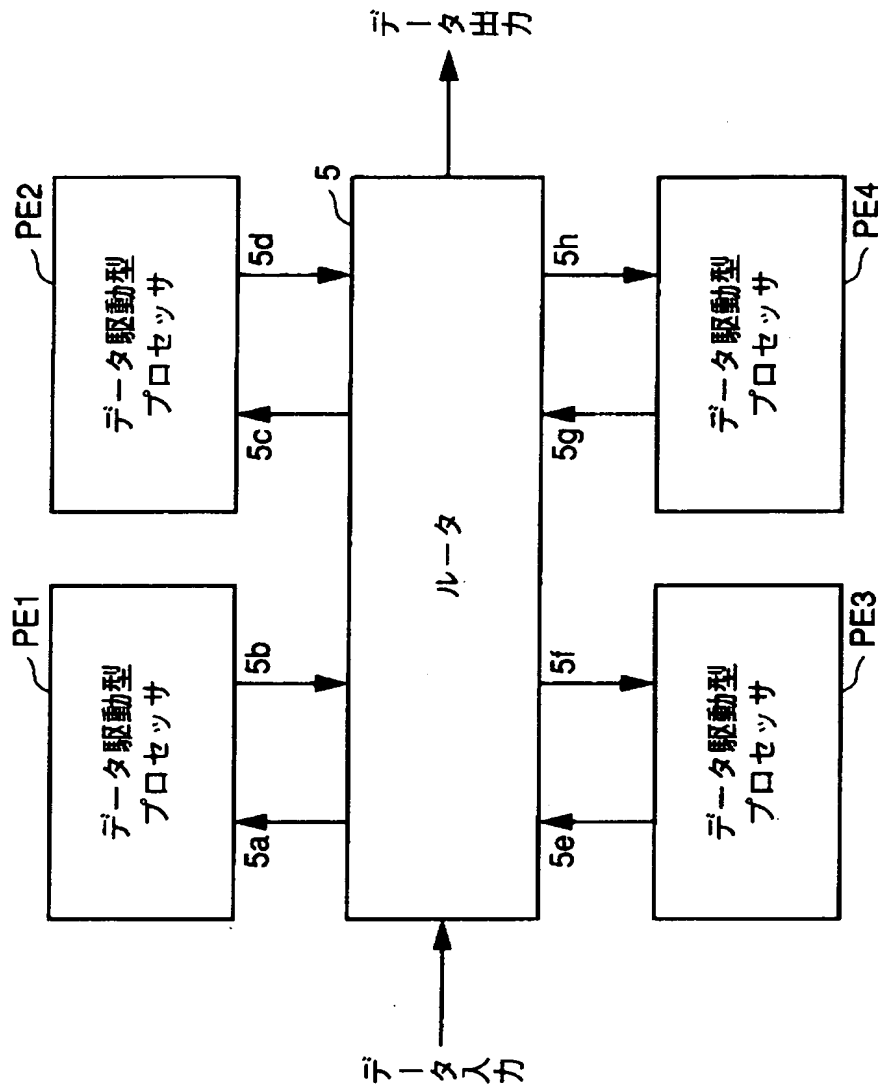
【図 10】



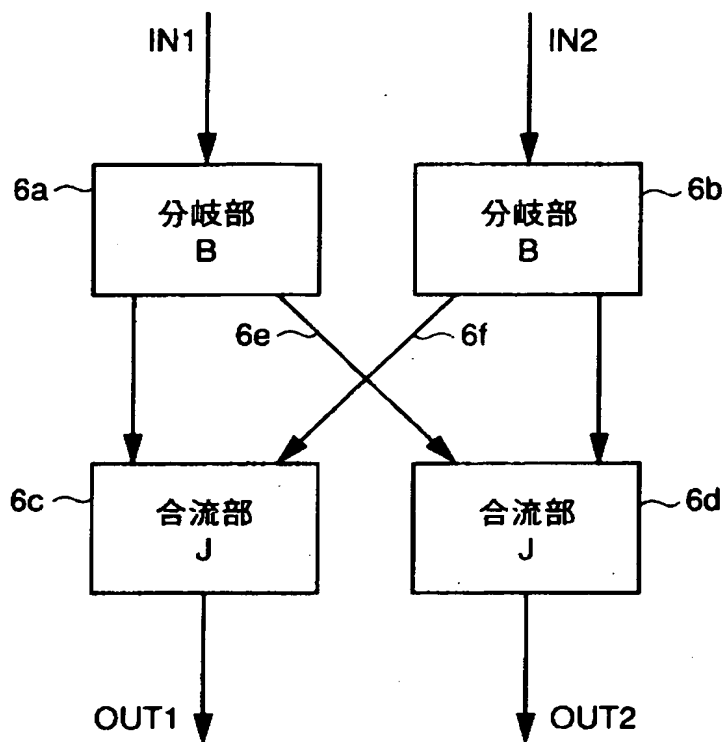
【図 11】



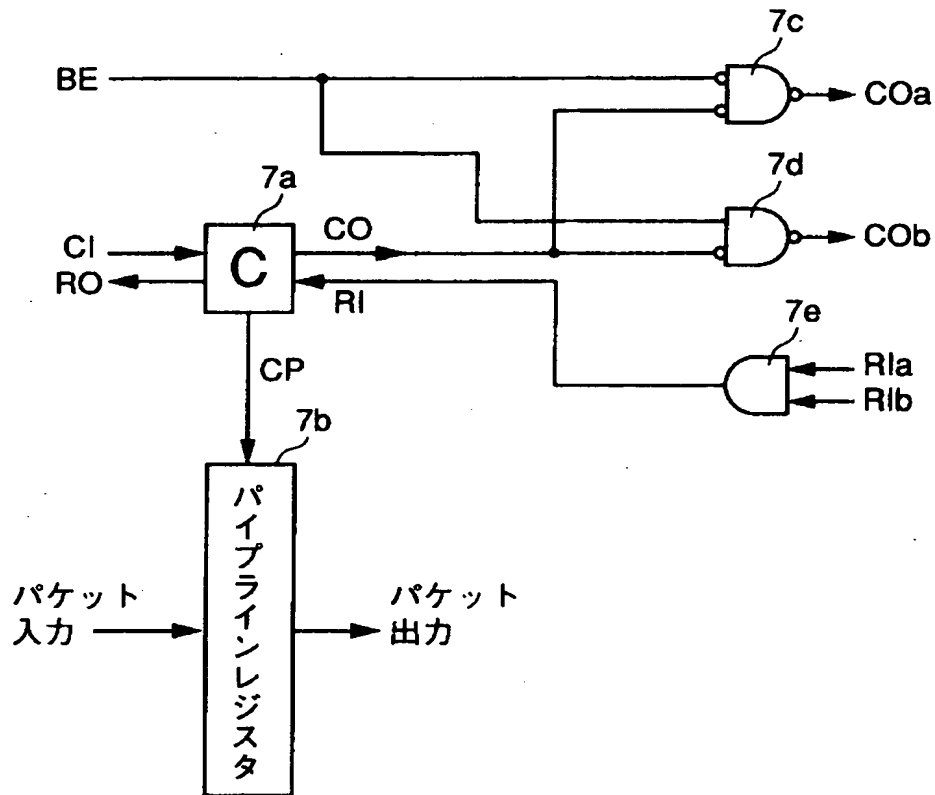
【図 12】



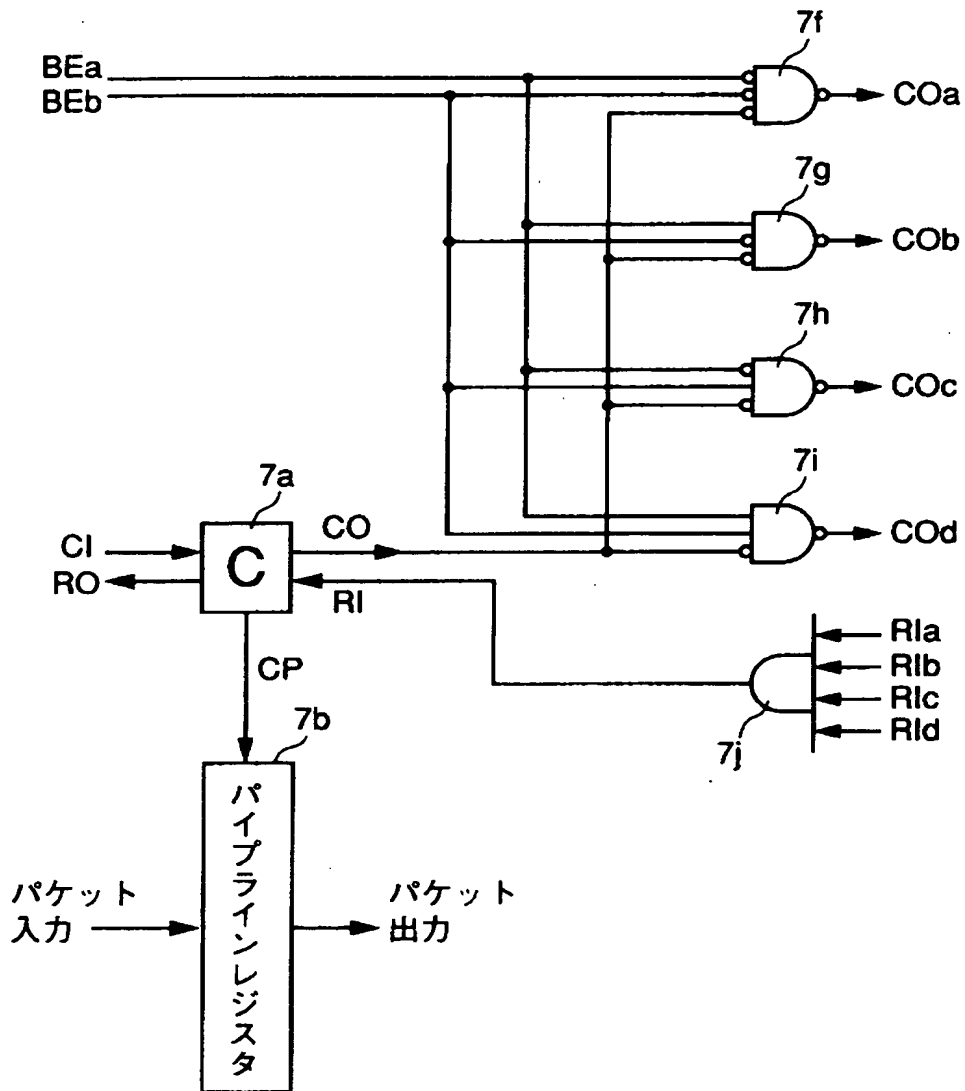
【図 1 3】



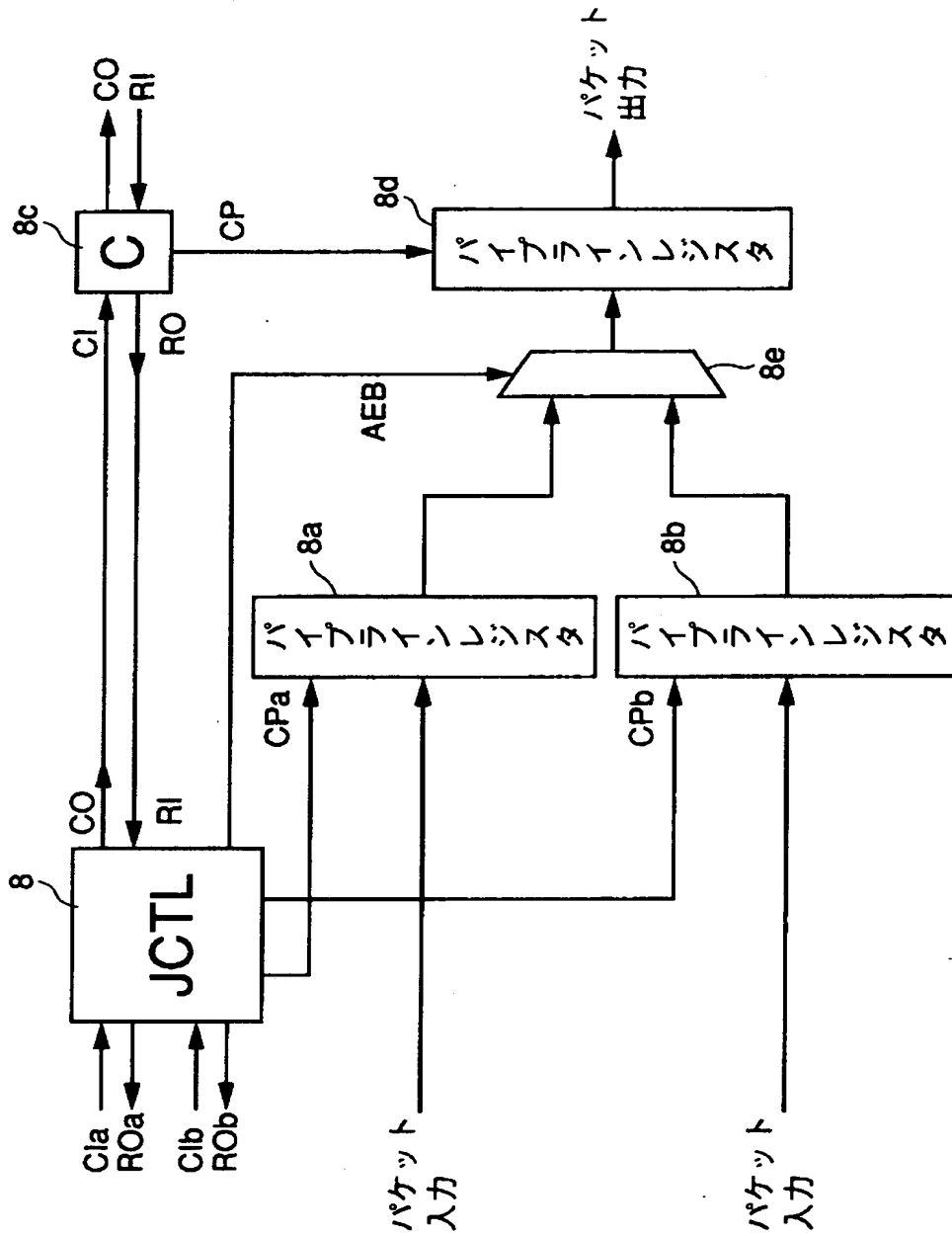
【図 1 4】



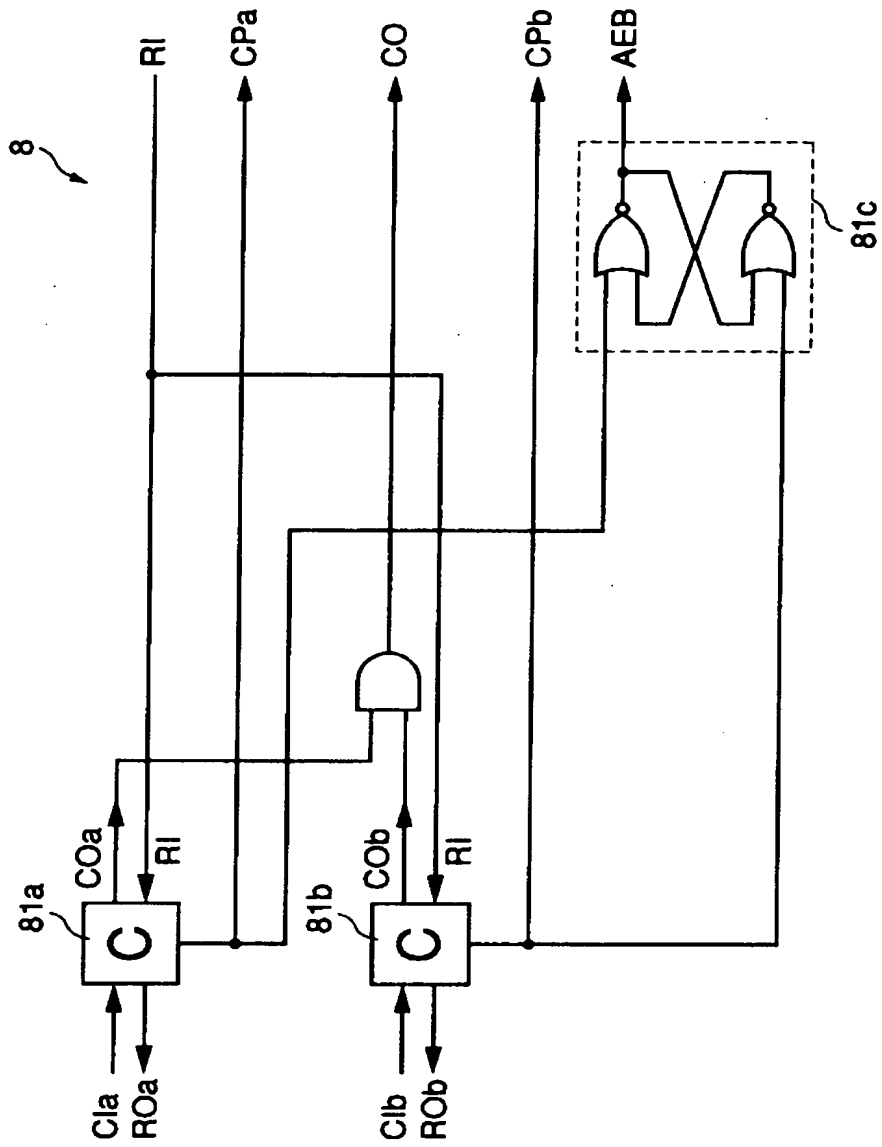
【図 1 5】



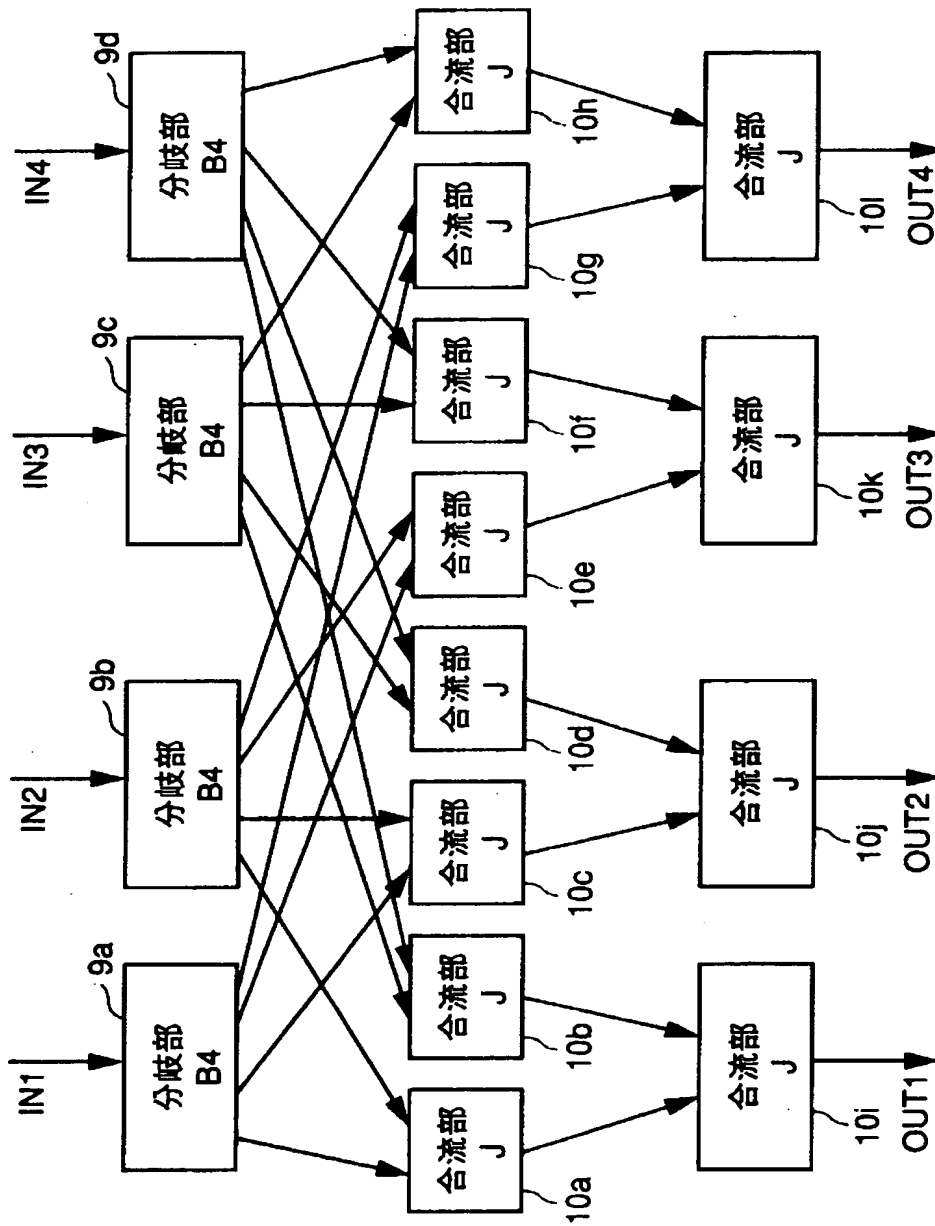
【図 16】



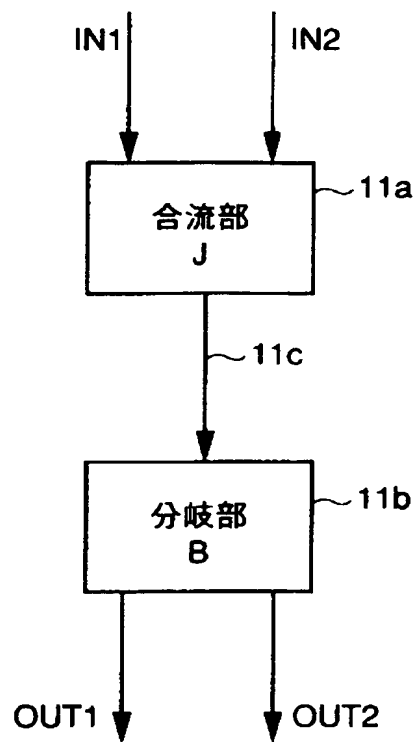
【図 1 7】



【図 18】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 パイプライン 1 段の処理量を減らすことなく、ルータの回路規模の増大を抑え、転送レートを最大転送レートから下げないで転送できるデータ駆動型情報処理装置の実行制御方法および装置を提供する。

【解決手段】 M 入力，1 出力の合流部 1 5 a と 1 入力，N 出力の分岐部 1 5 b とでルータを構成し、M と N の関係が $(M > N)$ である場合、合流部 1 5 a と分岐部 1 5 b 間の経路の転送レートを入力 $I N 1$ から $I N M$ までの転送レートの総和とすることにより、N 倍速転送とすることができる。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社